

AC PLASAM DISPLAY PANEL AND ITS DRIVING METHOD

Publication number: JP9115450

Publication date: 1997-05-02

Inventor: GUEN TAN NIYAN; KONDO NOBUYOSHI

Applicant: FUJITSU LTD

Classification:

- international: H01J11/00; G09G3/28; H01J11/02; H01J17/49;
H01J11/00; G09G3/28; H01J11/02; H01J17/49; (IPC1-
7): H01J11/00; G09G3/28; H01J11/02

- European: G09G3/28T; G09G3/28S2

Application number: JP19950267153 19951016

Priority number(s): JP19950267153 19951016

Also published as:



US6295040 (B1)

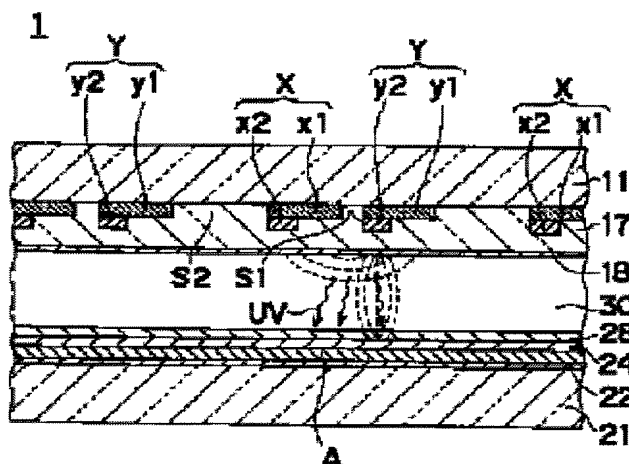


KR100306013B (B1)

Report a data error here

Abstract of JP9115450

PROBLEM TO BE SOLVED: To perform errorless high speed display by accumulating necessary wall electric charge in sustaining electrodes by address discharge in a short time as much as possible. **SOLUTION:** In this AC plasma display panel 1, first and second sustaining electrodes X and Y which extend in the line direction and are juxtaposed in the row direction by interposing a discharge gap S1 and an address electrode A extending in the row direction, cross each other in respective unit light emitting areas of matrix display, and the sustaining electrodes X and Y are covered with a dielectric body 17 to a discharge space 30, and the address electrode A is opposed to the sustaining electrodes X and Y by sandwiching the dielectric body 17 between them, and both the sustaining electrodes X and Y are composed of belt-like transparent conductive films x1 and y1 and belt-like metallic films x2 and y2 having a width narrower than these. In this case, the metallic film x2 is closely arranged on the edge on the side distant from the discharge gap S1 in the transparent conductive film x1, and the metallic film y2 is closely arranged on the edge on the side close to the discharge gap S1 in the transparent conductive film y1.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-115450

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	K
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	E
H 0 1 J 11/02			H 0 1 J 11/02	B

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21)出願番号 特願平7-267153

(22)出願日 平成7年(1995)10月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 グェン タン ニヤン

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 近藤 信義

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 久保 幸雄

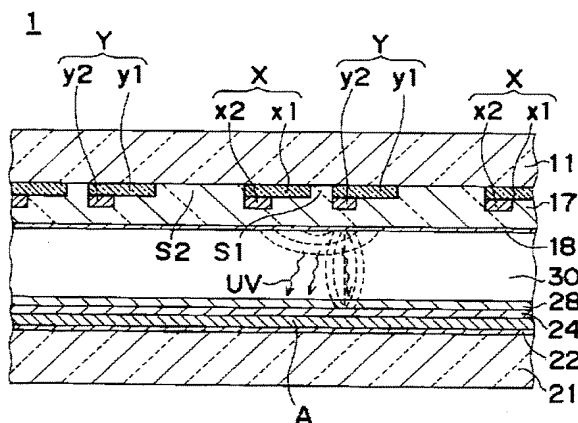
(54)【発明の名称】 AC型プラズマディスプレイパネルおよび駆動方法

(57)【要約】

【課題】サステインに必要な壁電荷をできるだけ短い時間のアドレス放電で蓄積させ、誤りの無い高速表示を実現することを目的とする。

【解決手段】マトリクス表示の各单位発光領域で、行方向に延び且つ放電ギャップS1を隔てて列方向に並ぶ第1及び第2のサステイン電極X、Yと、列方向に延びるアドレス電極Aとが交差し、サステイン電極X、Yが誘電体17によって放電空間30に対して被覆され、アドレス電極Aが誘電体17を間に挟んでサステイン電極X、Yと対向し、サステイン電極X、Yがともに帯状の透明導電膜x1、y1とそれよりも幅の狭い帯状の金属膜x2、y2とからなるAC型PDP1において、金属膜x2を透明導電膜x1における放電ギャップS1から遠い側の端縁に寄せて配置し、金属膜y2を透明導電膜y1における放電ギャップS1に近い側の端縁に寄せて配置する。

PDPの要部断面図



【特許請求の範囲】

【請求項1】マトリクス表示の各单位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2のサステイン電極と、列方向に延びるアドレス電極とが交差し、

前記第1及び第2のサステイン電極が誘電体によって放電空間に対して被覆され、

前記アドレス電極が前記誘電体を間に挟んで前記第1及び第2のサステイン電極と対向し、

前記第1及び第2のサステイン電極は、ともに帯状の透明導電膜と当該透明導電膜よりも幅の狭い帯状の金属膜とからなり、

前記第1のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップから遠い側の端縁に寄せて配置され、前記第2のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップに近い側の端縁に寄せて配置されてなることを特徴とするAC型プラズマディスプレイパネル。

【請求項2】前記第2のサステイン電極の前記金属膜の幅が、前記第1のサステイン電極の前記金属膜の幅よりも広い請求項1記載のAC型プラズマディスプレイパネル。

【請求項3】前記第2のサステイン電極と前記アドレス電極との対向間隙が、前記第1のサステイン電極と前記アドレス電極との対向間隙よりも小さい請求項1又は請求項2記載のAC型プラズマディスプレイパネル。

【請求項4】請求項1乃至請求項3のいずれかに記載のAC型プラズマディスプレイパネルによるマトリクス表示に際して、

前記第2のサステイン電極と前記アドレス電極との間で放電を生じさせて、前記誘電体に電荷を蓄積させた後、蓄積した前記電荷を利用して前記第1及び第2のサステイン電極の間で放電を生じせることを特徴とするAC型プラズマディスプレイパネルの駆動方法。

【請求項5】マトリクス表示の各单位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2のサステイン電極と、列方向に延びるアドレス電極とが交差し、

前記第1及び第2のサステイン電極が誘電体によって放電空間に対して被覆され、

前記アドレス電極が前記誘電体を間に挟んで前記第1及び第2のサステイン電極と対向し、

前記第1のサステイン電極は、帯状の透明導電膜と当該透明導電膜よりも幅の狭い帯状の金属膜とからなり、

前記第1のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップから遠い側の端縁に寄せて配置され、前記第2のサステイン電極は、帯状の金属膜のみからな

ることを特徴とするAC型プラズマディスプレイパネル。

【請求項6】請求項5記載のAC型プラズマディスプレイパネルによるマトリクス表示に際して、前記第2のサステイン電極と前記アドレス電極との間で放電を生じさせて、前記誘電体に電荷を蓄積させた後、蓄積した前記電荷を利用して前記第1及び第2のサステイン電極の間で放電を生じせることを特徴とするAC型プラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示方式のAC型プラズマディスプレイパネル（Plasma Display Panel：PDP）に関し、画面に沿った放電を生じさせる面放電形式のPDPに適用される。

【0002】PDPは、テレビジョンに適合する高速表示が可能な自己発光型の薄型表示デバイスである。面放電形式のAC型カラーPDPは、コンピュータの画面出力などに利用されており、HDTV用の大画面の実現手段として注目されている。

【0003】表示素子であるセルの集合によって画面が構成されるマトリクス表示方式のPDPにおいて、セルの点灯状態の維持（サステイン）にメモリ効果が利用されている。AC型PDPは、表示電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。AC型PDPによる表示に際しては、表示内容に応じて点灯（発光）すべきセルのみに壁電荷を蓄積させておき、1ラインの全てのセルに対して共通に交番極性の電圧（サステイン電圧）を印加する。サステイン電圧はサステイン電極間の放電開始電圧より低い値とする。壁電荷の存在するセルでは、壁電圧がサステイン電圧に重畳するので、セルに加わる実効電圧（セル電圧）が放電開始電圧を越えて放電が生じる。放電によって壁電荷が一旦消失した後、以前と逆の極性の壁電荷が蓄積する。したがって、サステイン電圧の印加毎に放電が生じる。サステイン電圧の印加周期を短くすれば、見かけの上で連続的な点灯状態が得られる。

【0004】

【従来の技術】図10は従来のPDP90の内部構造を示す要部断面図である。PDP90は、マトリクス表示の単位発光領域に3つの電極が対応する面放電形式のPDPである。PDP90では、前面側のガラス基板91の内面に、基板面に沿った放電（面放電）を生じさせるためのサステイン電極93、94が、マトリクス表示のライン毎に一对一ずつ配列されている。これらのサステイン電極93、94を放電空間99に対して絶縁するように、AC駆動のための誘電体層96が設けられている。誘電体層96の表面には保護膜97が蒸着されている。誘電体層96及び保護膜97はともに透光性を有している。一方、背面側のガラス基板92の内面には、サステ

イン電極93、94と直交するようにアドレス電極95が配列されている。アドレス電極95の上部を含めて、ガラス基板92を被覆するように、蛍光体層98が設けられている。

【0005】サステイン電極93は、平面視帯状の透明導電膜931と、それより幅の狭い帯状の金属薄膜932とから構成されている。同様にサステイン電極94も、平面視帯状の透明導電膜941と、それより幅の狭い帯状の金属薄膜942とから構成されている。金属薄膜932、942は、適正な導電性を確保するための補助導体であり、透明導電膜931、941における面放電ギャップから遠い側の端縁部に重ねられている。

【0006】PDP90による表示に際しては、ライン順次のアドレッシングが行われる。単位発光領域内の面放電セルを点灯（発光）させる場合には、アドレス電極95とサステイン電極94とを適切にバイアスして対向放電（パネルの厚さ方向の放電）を生じさせ、誘電体層96（保護膜97も誘電体層96の一部とする）の表面に壁電荷を蓄積させる。面放電セルを点灯させない場合は対向放電が生じないように各電極の電位を設定する。このように面放電セルの点灯／非点灯を設定するアドレッシングの後、サステイン電極94とサステイン電極93とに対して、これらの相対電圧の極性が交互に入れ代わるようにサステイン電圧を印加し、周期的に面放電を生じさせる。蛍光体層98は、主に面放電で生じた紫外線UVによって局部的に励起されて所定色の可視光を放つ。この可視光の内、ガラス基板91を透過する光が表示光となる。放電空間99の前面側に位置するサステイン電極93、94を上述の積層構造とすることにより、表示光の遮光を最小限に抑えつつ、面放電領域を拡げて発光効率を高めることができる。

【0007】各ラインにおけるサステイン電極93とサステイン電極94との間隙S1は「放電スリット」と呼称されている。放電スリットS1のライン方向の一部が面放電ギャップである。放電スリットS1の幅（サステイン電極93、94の配列方向の寸法）は100～200ボルト程度の駆動電圧の印加で面放電が生じるように選定されている。これに対して、隣接するラインの間におけるサステイン電極93とサステイン電極94との間隙S2は「逆スリット」と呼称され、この逆スリットS2の幅は放電スリットS1の幅よりも十分に大きい値に選定されている。すなわち、逆スリットS2を隔てて並ぶサステイン電極93、94の間での放電が防止されている。このように放電スリットS1及び逆スリットS2を設けてサステイン電極93、94を配列することにより、各ラインを選択的に発光させることができる。

【0008】

【発明が解決しようとする課題】アドレッシングにおける対向放電（以下、アドレス放電という）は、サステイン電極94の内の金属薄膜942とアドレス電極95と

の間で始まり、金属薄膜942の上方に壁電荷が蓄積するにつれて透明導電膜941とアドレス電極95との間の放電に移行する。透明導電膜941の上方にも壁電荷が蓄積して放電空間99の電界が弱まるとアドレス放電は停止する。最初に金属薄膜942とアドレス電極95との間で放電が起こるのは、金属薄膜942が透明導電膜941よりもアドレス電極95に近いからである。他の要因として、金属薄膜942と透明導電膜941との間の電界強度の差もある。放電空間99は一種のコンデンサであるので、アドレス放電の開始以前にサステイン電極94に充電電流が流れる。金属薄膜942は透明導電膜941よりも低抵抗であるので、金属薄膜942の電流密度が透明導電膜941のそれよりも大きくなる。したがって、金属薄膜942の近辺では透明導電膜941の近辺よりも強い電界が生じ、放電が起こり易い。

【0009】しかし、画面の高精細化にともなってライン数が増大し、1フレームの表示期間の内で1ラインのアドレッシングに割り当て可能な時間が短くなるにつれて、アドレッシングに際して放電スリットS1の近辺（すなわちラインの中心部）に蓄積する壁電荷が少なくなり、その後のサステイン期間で面放電が起きない点灯漏れが生じ易くなった。アドレッシングの時間が短いと、透明導電膜941とアドレス電極95との間の放電に移行する以前に、電極に対する電圧印加が解除されてアドレス放電が停止するからである。階調数の増大もアドレッシング時間の短縮を招く。

【0010】また、従来では、逆スリットS2の上方に比較的に多くの壁電荷が蓄積するので、隣接する他のラインの面放電セルの誤点灯が生じ易いという問題もあった。本発明は、サステインに必要な壁電荷をできるだけ短い時間のアドレス放電で蓄積させ、誤りの無い高速表示を実現することを目的としている。

【0011】

【課題を解決するための手段】アドレス放電を放電スリットS1に近い位置で生じさせる。これにより放電スリットS1の近辺に比較的に多量の壁電荷が蓄積し、その壁電荷がサステインに有効に作用する。逆スリットS2の近辺にはほとんど壁電荷が蓄積しないので、隣接する他のラインの面放電セルの誤点灯が生じにくい。また、放電スリットS1の近くで放電が生じると、プライミング効果などによってサステイン電極間での面放電も生じ易くなる。面放電が生じるとサステインに有効な壁電荷の蓄積量が増大する。

【0012】アドレッシングに用いる一方のサステイン電極の金属膜の幅を広くする。これにより、サステイン電極の抵抗値が下がり、ライン内の各アドレス放電セルに加わる電圧が高まる分だけアドレス放電が強くなるので、壁電荷の蓄積量が増大する。サステイン電極をアドレス電極に近づけた場合にも、アドレス放電が強くなる。

【0013】請求項1の発明のPDPにおいては、マトリクス表示の各单位発光領域で、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2のサステイン電極と、列方向に延びるアドレス電極とが交差し、前記第1及び第2のサステイン電極が誘電体によって放電空間に対して被覆され、前記アドレス電極が前記誘電体を間に挟んで前記第1及び第2のサステイン電極と対向し、前記第1及び第2のサステイン電極は、ともに帯状の透明導電膜と当該透明導電膜よりも幅の狭い帯状の金属膜とからなり、前記第1のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップから遠い側の端縁に寄せて配置され、前記第2のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップに近い側の端縁に寄せて配置されてなる。

【0014】請求項2の発明のPDPにおいては、前記第2のサステイン電極の前記金属膜の幅が、前記第1のサステイン電極の前記金属膜の幅よりも広い。請求項3の発明のPDPにおいては、前記第2のサステイン電極と前記アドレス電極との対向間隙が、前記第1のサステイン電極と前記アドレス電極との対向間隙よりも小さい。

【0015】請求項4の発明の駆動方法は、請求項1乃至請求項3の発明のPDPによる表示に際して、前記第2のサステイン電極と前記アドレス電極との間で放電を生じさせて、前記誘電体に電荷を蓄積させた後、蓄積した前記電荷を利用して前記第1及び第2のサステイン電極の間で放電を生じせるものである。

【0016】請求項5の発明のPDPにおいては、マトリクス表示の各单位発光領域で、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第1及び第2のサステイン電極と、列方向に延びるアドレス電極とが交差し、前記第1及び第2のサステイン電極が誘電体によって放電空間に対して被覆され、前記アドレス電極が前記誘電体を間に挟んで前記第1及び第2のサステイン電極と対向し、前記第1のサステイン電極は、帯状の透明導電膜と当該透明導電膜よりも幅の狭い帯状の金属膜とからなり、前記第1のサステイン電極の前記金属膜は、前記透明導電膜の放電空間側の表面上に、当該透明導電膜における前記放電ギャップから遠い側の端縁に寄せて配置され、前記第2のサステイン電極は、帯状の金属膜のみからなる。

【0017】請求項6の発明の駆動方法は、請求項5の発明のPDPによる表示に際して、前記第2のサステイン電極と前記アドレス電極との間で放電を生じさせて、前記誘電体に電荷を蓄積させた後、蓄積した前記電荷を利用して前記第1及び第2のサステイン電極の間で放電を生じせるものである。

【0018】

【発明の実施の形態】図1は本発明のPDP1の内部構造を示す斜視図、図2はPDP1の要部断面図である。

【0019】図1のPDP1は、フルカラー表示の可能な面放電形式のAC型PDPであり、蛍光体の配置形態による分類の上で反射型と呼称されている。PDP1では、パネル外囲器を構成する基板対における前面側のガラス基板11の内面に、サステイン電極X、Yが配列されている。これらのサステイン電極X、Yを放電空間30に対して被覆するように、低融点ガラスからなる厚さ32 μ m程度の誘電体層17が表示領域の全域に設けられている。誘電体層17の表面には保護膜18として厚さ数千オングストロームの酸化マグネシウム膜が蒸着されている。誘電体層17及び保護膜18はともに透光性を有している。

【0020】一方、背面側のガラス基板21の内面には、サステイン電極X、Yと直交するようにアドレス電極Aが配列されている。アドレス電極Aは下地層22の上に設けられ、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mの平面視直線帯状の隔壁29が、各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30がライン方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。そして、アドレス電極Aの上部を含めて、誘電体層24の表面及び隔壁29の側面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28B（以下、特に色を区別する必要がないときは蛍光体層28と記述する）が設けられている。放電空間30には、放電ガスとしてネオンにキセノン（1～15%モル程度）を混合したベニングガスが封入されている。PDP1において、表示の1画素（ピクセル）は、各ラインL内の隣接する3つのサブピクセル（単位発光領域）で構成される。各列内の各ラインの発光色は同一である。

【0021】なお、PDP1では、マトリクス表示の列方向（サステイン電極X、Yの配列方向）に放電空間30を区画する隔壁は存在しない。そのため、ラインL間の電極間隙（逆スリット）は、面放電ギャップ（例えば80～140 μ m）より大きい値（例えば400～500 μ m）に選定されている。

【0022】図2のように、サステイン電極Xは、平面視において帯状にパターンニングされたITO膜x1と、それより幅の狭い帯状にパターンニングされた金属膜x2とから構成されている。同様にサステイン電極Yも、帯状のITO膜y1と、それより幅の狭い帯状の金属膜y2とから構成されている。金属膜x2、y2は、ともにクロム／銅／クロムの3層構造の非透光性薄膜であり、サステイン電極X、Yのライン抵抗を低減するための補助導体として、ITO膜x1、y1の放電空間30側の表面上に形成されている。サステイン電極Xの金属膜x

2は、従来と同様にITO膜x1における放電スリットS1から遠い側の端縁に寄せて配置されている。これに対し、サステイン電極Yの金属膜y2は、ITO膜y1における放電スリットS1に近い側の端縁に寄せて配置されている。

【0023】ITO膜x1、y1及び金属膜x2、y2の寸法を具体例を表1に示す。表1の値は、画面サイズが42インチの場合の設計値である。ただし、ITO膜x1、y1の厚さの好ましい範囲は0.015～0.03 μ m、幅の好ましい範囲は250～300 μ mの範囲内である。金属膜x2、y2の厚さの好ましい範囲は1～4 μ m、幅の好ましい範囲は50～200 μ mである。

【0024】

【表1】

構成要素	厚さ	幅
ITO膜	0.02 μ m	275 μ m
金属膜	2 μ m	100 μ m

【0025】図3はPDP1の電極マトリクスの概略図であり、放電空間30からみた各ガラス基板11、21の電極配列を模式的に示している。マトリクス表示の1ラインには一対のサステイン電極X、Yが対応し、1列には1本のアドレス電極Aが対応する。そして、3列が1ピクセルに対応する。PDP1の画面の仕様を表2に示す。

【0026】

【表2】

項 目	仕 様
画面サイズ	42インチ
アスペクト比	16対9
ピクセル数	852×480
サブピクセル数	2556×480
ピクセルピッチ	1.08mm
サブピクセル配列	RGBRGB

【0027】図3において斜線が付された枠状の領域a31は、ガラス基板11、21の接合領域である。全てのサステイン電極Xはガラス基板11における水平方向の一方の端縁部まで導出され、全てのサステイン電極Yは他方の端縁部まで導出されている。サステイン電極Xは、駆動回路の簡単化のために共通端子Xtと一体化され、電気的に共通化されている。サステイン電極Yは、ライン順次のアドレッシングを可能とするために、1ラインずつ独立した個別電極とされ、個々に個別端子Yt

と一体化されている。また、アドレス電極Aは、ガラス基板21における垂直方向の端縁部の個別端子Atと一体化されている。

【0028】接合領域a31の内側において、サステイン電極X、Yとアドレス電極Aとによって放電セルの画定される領域が、有効表示領域a1（スクリーン）である。有効表示領域a1と接合領域a31との間には、接合材料のガス放出の影響を避けるために枠状の非表示領域a2が設けられている。ガラス基板21の非表示領域a2の部分に、放電ガスを封入するための貫通孔210が設けられている。

【0029】以上の構成のPDP1は、図示しない駆動ユニットと組み合わせた状態で、壁掛け式テレビジョン受像機などの表示デバイスとして使用される。その際、PDP1は、フレキシブル配線板などを介して駆動ユニットと電気的に接続される。

【0030】次に、PDP1の駆動方法について説明する。ここでは、PDP1に特開平7-160218号公報に第3実施例として開示された駆動方法を適用した例を挙げる。

【0031】図4はフィールドfの構成図であり、図5は印加電圧の波形図である。PDP1による表示に際しては、画面（1フレーム）に例えば1つのフィールドfを対応づける。256階調表示を行う場合には、1つのフィールドfを8つのサブフィールドsfに分割する。各サブフィールドsfを、リセット期間TR、アドレス期間TA、及びサステイン期間TSに区分する。そして、各サブフィールドsfにおける輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして、各サブフィールドsfのサステイン期間TSにおける発光回数を設定する。各サブフィールドsfは、1つの階調レベルの画面表示期間である。なお、テレビジョンのようにインタレース形式で走査された画面を再生する場合には、1画面（1フレーム）を表示するために2つのフィールドfを用いる。

【0032】リセット期間TRは、それ以前の点灯状態の影響を防ぐため、有効表示領域a1の壁電荷の消去（全面消去）を行う期間である。図5のように、リセット期間TRにおいて、駆動ユニットは、サステイン電極Xに面放電開始電圧Vfxyを越える波高値Vr（=Vs+Vw）の正極性の書込みパルスPWを印加する。同時に全てのアドレス電極Aに波高値Vawの正極性のパルスPawを印加する。

【0033】書込みパルスPWの立上がりに対応して全てのラインLで強い面放電が生じ、誘電体層17に一旦、壁電荷が蓄積する。しかし、書込みパルスPWの立下がりに対応して、壁電荷によるいわゆる自己放電が生じ、誘電体層17の壁電荷が消失する。パルスPawは、放電空間30の背面側の壁面への壁電荷の蓄積を抑えるために印加される。波高値Vawの好ましい値は

(1) 式の範囲の値である。

$$(V_s + V_w) / 4 \leq V_{aw} \leq (V_s + V_w) / 2 \quad \dots (1)$$

アドレス期間は、ライン順次のアドレッシングを行う期間である。サステイン電極Xを接地電位に対して正電位 V_{ax} （例えば+50ボルト）にバイアスし、全てのサステイン電極Yを負電位 V_{sc} （例えば-70ボルト）にバイアスする。この状態で、先頭のラインLから1ラインずつ順に各ラインLを選択し、サステイン電極Yに負極性のスキャンパルス P_y を印加する。選択されたラインLのサステイン電極Yの電位は、一時的に負電位 V_y （例えば-170ボルト）にバイアスされる。ラインLの選択と同時に、点灯すべきセルに対応したアドレス電極Aに対して波高値 V_a （例えば+60ボルト）の正極性のアドレスパルス P_a を印加する。

【0035】選択されたラインLにおいて、アドレスパルス P_a の印加されたセルでは、サステイン電極Yとアドレス電極Aとの間でアドレス放電が起こる。サステイン電極Xがアドレスパルス P_a と同極性の電位にバイアスされているので、そのバイアスでアドレスパルス P_a が打ち消され、サステイン電極Xとアドレス電極Aとの間では放電は起きない。また、サステイン電極Xのバイアス電位 V_{ax} は、ラインL内の非選択のセルに壁電荷が蓄積するのを防止するため、サステイン電極Xとサステイン電極Yとの相対電圧が面放電開始電圧 $V_{f_{xy}}$ より低くなるように設定されている。通常、面放電開始電圧 $V_{f_{xy}}$ は、サステイン電極Yとアドレス電極Aとの間の放電開始電圧 $V_{f_{ay}}$ より高い。電位 V_{ax} 、 V_y 、 V_a は次の関係を満たす。

$$[0036] \quad (V_{ax} + V_y) < V_{f_{xy}} \quad \dots (2)$$

$$(V_a + V_y) \geq V_{f_{ay}} \quad \dots (3)$$

サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全てのアドレス電極Aを正極性の電位（例えば $V_s/2$ ）にバイアスし、最初に全てのサステイン電極Yに波高値 V_s （ $V_s < V_{f_{xy}}$ ）の正極性のサステインパルス P_s を印加する。その後、サステイン電極Xとサステイン電極Yとに対して、交互に波高値 V_s の正極性のサステインパルス P_s を印加する。

【0037】サステインパルス P_{ss} 、 P_s の印加毎に、アドレス期間TAにおいて壁電荷の蓄積したセルで面放電が生じる。なお、電荷蓄積状態の安定化のため、最初のサステインパルス P_{ss} の印加時間は他のサステインパルス P_s の印加時間と比べて長めに設定されている。

【0038】図6はアドレス期間TAにおける壁電荷の推移を示す模式図である。同図では説明の便宜のためにPDP1の構造が簡略化されている。スキャンパルス P_y とアドレスパルス P_a との印加によって、サステイン電極Yとアドレス電極Aとの間でアドレス放電が起こる。

【0034】

この対向放電は、サステイン電極Yの内の金属膜 y_2 とアドレス電極Aとの間で始まり、誘電体層17に正電荷が蓄積するにつれて、ITO膜 y_1 とアドレス電極Aとの間の放電に移行する。蛍光体層28には負電荷が蓄積する。正電荷及び負電荷の蓄積によってサステイン電極Yとアドレス電極Aとの間の電界が弱まり、アドレス放電が停止する。金属膜 y_2 が放電スリットS1に近づけて配置されているので、誘電体層17における放電スリットS1の近辺に蓄積する電荷は、放電スリットS1から遠ざけて配置された場合よりも多い〔図6(A)〕。

【0039】一方、アドレス放電によって放電スリットS1の近辺の放電空間30に浮遊電荷が発生するので、ブライミング効果によって面放電開始電圧 $V_{f_{xy}}$ が下がる。このため、サステイン電極Xとサステイン電極Yとの間でも放電が起こり、誘電体層17上の壁電荷の蓄積量が増大する〔図6(B)〕。

【0040】放電スリットS1の近辺に蓄積した壁電荷は、サステインに有効に作用する。また、放電スリットS1の近辺でのアドレス放電は、隣接する他のラインの誤点灯の防止に有効である。逆スリット側にはほとんど壁電荷が蓄積しないからである。

【0041】図7は第2のPDP2のサステイン電極構造の模式図である。PDP2も上述のPDP1と同様の面放電形式のPDPである。マトリクス表示の各単位発光領域に、サステイン電極X2、サステイン電極Y2、及びアドレス電極A2が存在する。図示は省略したが、サステイン電極X2、Y2は誘電体によって放電空間302に対して絶縁されている。

【0042】サステイン電極X2は、透明導電膜 x_{12} と、補助導体である金属膜 x_{22} とからなる。金属膜 x_{22} は、透明導電膜 x_{12} の放電空間側の表面に蒸着され、透明導電膜 x_{12} における放電スリットS12から遠い側の端縁部に寄せて配置されている。サステイン電極Y2も、透明導電膜 y_{12} と、補助導体である金属膜 y_{22} とからなる。金属膜 y_{22} は、透明導電膜 y_{12} の放電空間側の表面に蒸着され、透明導電膜 y_{12} における放電スリットS12に近い側の端縁部に寄せて配置されている。

【0043】PDP1との比較の上でのPDP2の特徴は、金属膜 y_{22} の幅 w_2 が金属膜 x_{22} の幅 w_1 より大きい点である。透明導電膜 y_{12} の幅は透明導電膜 x_{12} の幅と実質的に等しい。幅 w_2 を大きくすることにより、サステイン電極Y2のライン抵抗が下がるので、セルに効率的に電圧を印加することができる。

【0044】PDP2の駆動に際しては、サステイン電極Y2とアドレス電極A2とをアドレッシングに用い、サステイン電極X2とサステイン電極Y2とをサステイ

ンに用いる。アドレッシングにおいては、サステイン電極Y2のライン抵抗の低下分だけPDP1と比べてアドレス放電が強くなり、壁電荷の蓄積量が増大する。

【0045】図8は第3のPDP3のサステイン電極構造の模式図である。PDP3も上述のPDP1と同様の面放電形式のPDPである。マトリクス表示の各単位発光領域には、サステイン電極X3、サステイン電極Y3、及びアドレス電極A3が存在する。サステイン電極X2、Y2は誘電体層173によって放電空間303に対して絶縁されている。

【0046】サステイン電極X3は、透明導電膜x13と、補助導体である金属膜x23とからなる。金属膜x23は、透明導電膜x13の放電空間側の表面に蒸着され、透明導電膜x13における放電スリットS13から遠い側の端縁部に寄せて配置されている。サステイン電極Y3も、透明導電膜y13と、補助導体である金属膜y23とからなる。金属膜y23は、透明導電膜y13の放電空間側の表面に蒸着され、透明導電膜y13における放電スリットS13に近い側の端縁部に寄せて配置されている。

【0047】PDP1との比較の上でのPDP3の特徴は、金属膜y23が金属膜x23よりもアドレス電極A3に近い点である。この構造上の特徴は、例えばサステイン電極X3とサステイン電極Y3とをこの順に形成することによって生じる。サステイン電極X3を形成して誘電体材料で被覆し、その後にサステイン電極Y3を形成するのである。金属膜y23を金属膜x23よりも厚くしてアドレス電極A3に近づける方法も適用可能ではあるが、順に形成する場合よりも製造は難しい。

【0048】PDP3の駆動に際しては、サステイン電極Y3とアドレス電極A3とをアドレッシングに用い、サステイン電極X3とサステイン電極Y3とをサステインに用いる。アドレッシングにおいては、サステイン電極Y3がアドレス電極A3に近い分だけPDP1と比べてアドレス放電が強くなり、壁電荷の蓄積量が増大する。

【0049】図9は第4のPDP4の要部断面図である。PDP4は、マトリクス表示の各単位発光領域に3つの電極が存在する面放電形式のPDPである。前面側のガラス基板114の内面に、サステイン電極X4、Y4がマトリクス表示のラインL4毎に一对一ずつ配列されている。これらのサステイン電極X4、Y4を放電空間304に対して絶縁するように、AC駆動のための誘電体層174が設けられている。誘電体層174の表面には図示しない保護膜が蒸着されている。誘電体層174は透光性を有している。背面側のガラス基板214の内面には、サステイン電極X4、Y4と直交するようにマトリクス表示の列毎にアドレス電極A4が配置されている。アドレス電極A4の上部を含めて、ガラス基板214を被覆するように、蛍光体層284が設けられてい

る。サステイン電極X4は、平面視帯状の透明導電膜x14と、それより幅の狭い帯状の金属膜x24とから構成されている。これに対して、サステイン電極Y4は金属のみから構成されている。金属膜x24は、適正な導電性を確保するための補助導体であり、透明導電膜x14における放電スリットS14から遠い側の端縁部に重ねられている。

【0050】PDP4の駆動に際しては、サステイン電極Y4とアドレス電極A4とをアドレッシングに用い、サステイン電極X4とサステイン電極Y4とをサステインに用いる。

【0051】以上の説明で例示したPDP1～4は、いずれもアドレス電極A、A2、A3、A3が背面側のガラス基板21、214の内面に配置された構造のものであるが、本発明は、アドレス電極A、A2、A3、A3とサステイン電極対とが同一の基板によって支持される構造のPDPにも適用可能である。

【0052】

【発明の効果】請求項1乃至請求項6の発明によれば、サステイン電極対の放電ギャップの近辺でアドレス放電を生じさせることができるので、壁電荷を効率的に蓄積させることができる。そのため、アドレス期間を短縮してもサステインに必要な壁電荷を確保することができ、誤りの無い高速表示を実現することができる。加えて、隣接するラインの誤点灯を防止することができる。

【0053】請求項2及び請求項3の発明によれば、壁電荷をより効率的に蓄積させることができる。

【図面の簡単な説明】

【図1】本発明のPDPの内部構造を示す斜視図である。

【図2】PDPの要部断面図である。

【図3】PDPの電極マトリクスの概略図である。

【図4】フィールドの構成図である。

【図5】印加電圧の波形図である。

【図6】アドレス期間における壁電荷の推移を示す模式図である。

【図7】第2のPDPのサステイン電極構造の模式図である。

【図8】第3のPDPのサステイン電極構造の模式図である。

【図9】第4のPDPの要部断面図である。

【図10】従来のPDPの内部構造を示す要部断面図である。

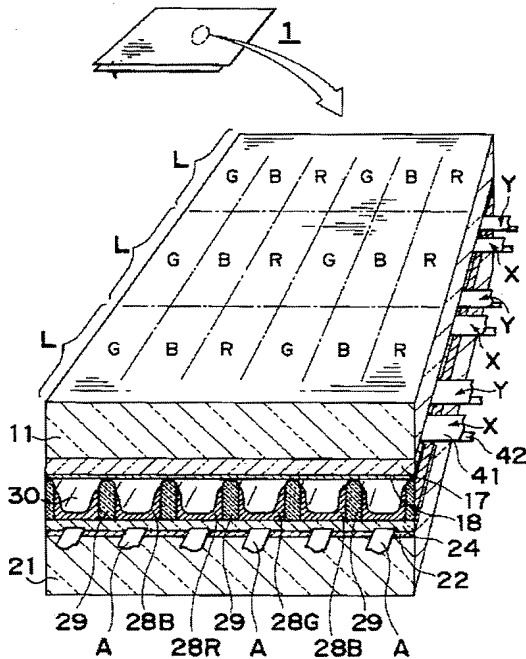
【符号の説明】

- 1 PDP (AC型プラズマディスプレイパネル)
- 2, 3, 4 PDP (AC型プラズマディスプレイパネル)
- 17 誘電体層 (誘電体)
- 173, 174 誘電体層 (誘電体)
- 30 放電空間

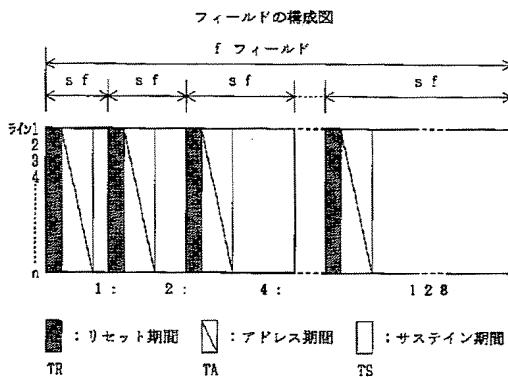
302, 303, 304 放電空間
 A アドレス電極
 S1 放電スリット (放電ギャップ)
 S12, S13, S14 放電スリット (放電ギャップ)
 w1, w2 幅 (金属膜の幅)
 X サステイン電極 (第1のサステイン電極)
 X2, X3, X4 サステイン電極 (第1のサステイン電極)

【図1】

本発明のPDPの内部構造を示す斜視図



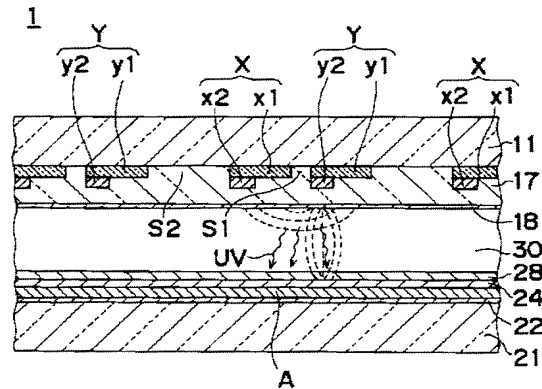
【図4】



Y サステイン電極 (第2のサステイン電極)
 Y2, Y3, Y4 サステイン電極 (第2のサステイン電極)
 x1, y1 ITO膜 (透明導電膜)
 x2, y2 金属膜
 x12, x13, x14 透明導電膜
 x22, x23, x24 金属膜
 y12, y13 透明導電膜
 y22, y23 金属膜

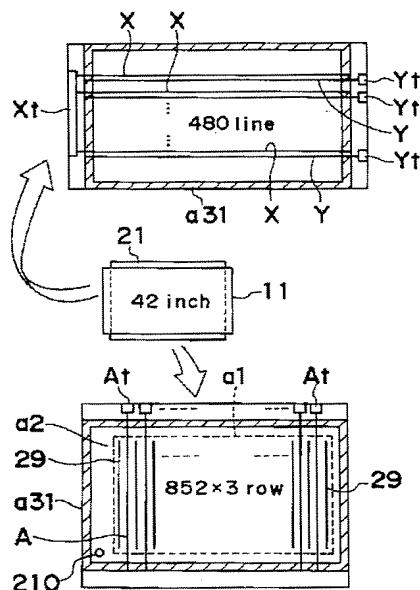
【図2】

PDPの要部断面図



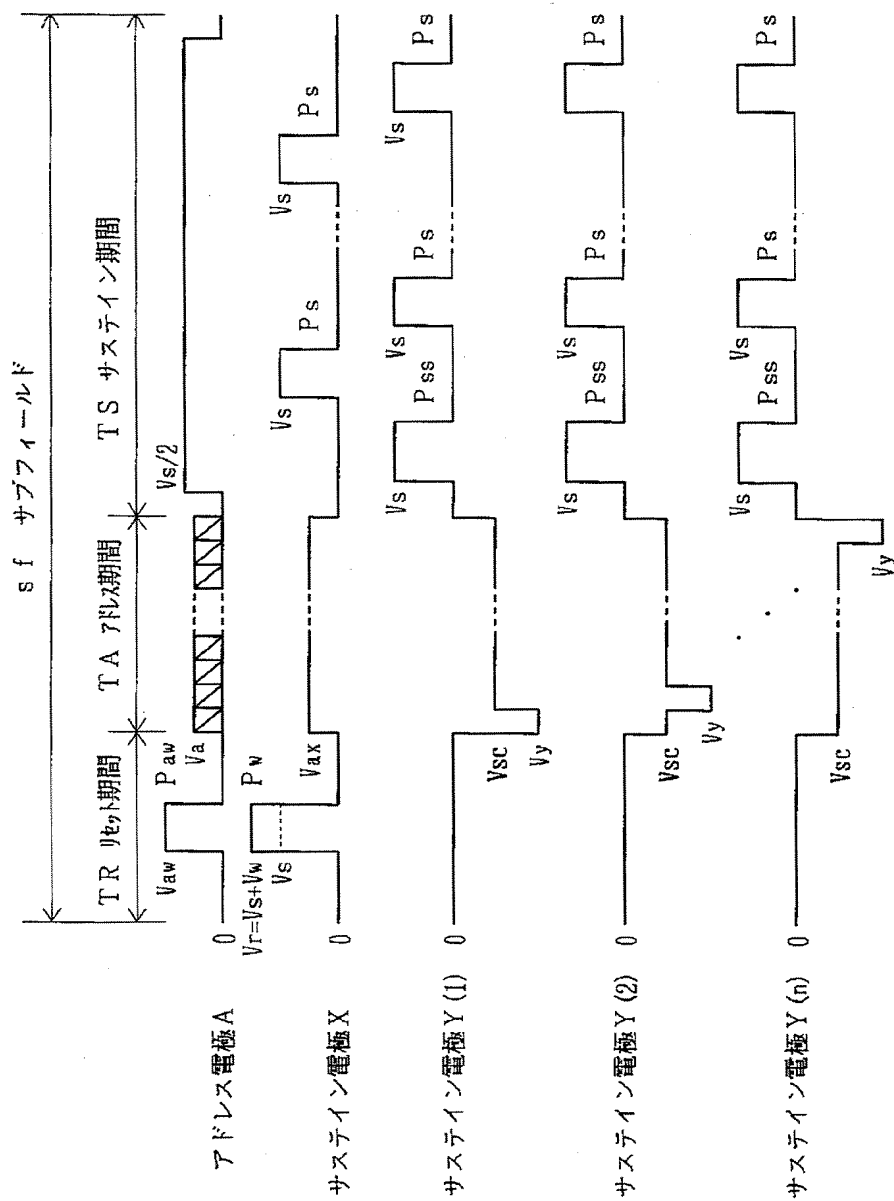
【図3】

PDPの電極マトリクス図



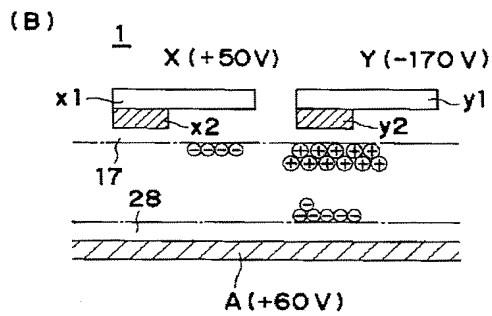
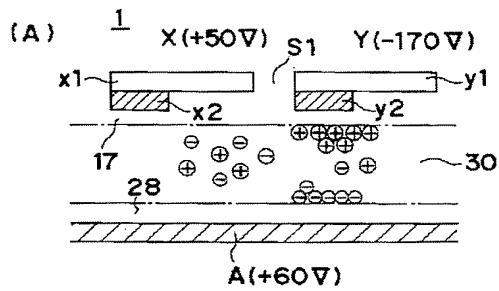
【図5】

印加電圧の波形図



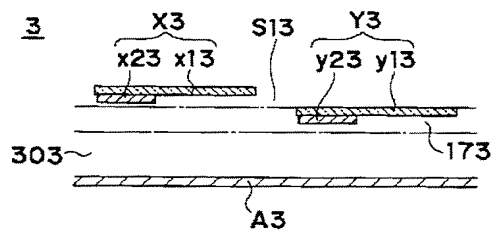
【図6】

アドレス期間における壁電荷の推移を示す模式図



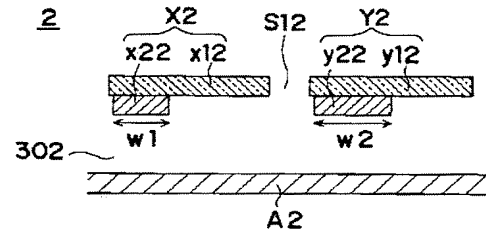
【図8】

第3のPDPのサステイン電極構造の模式図



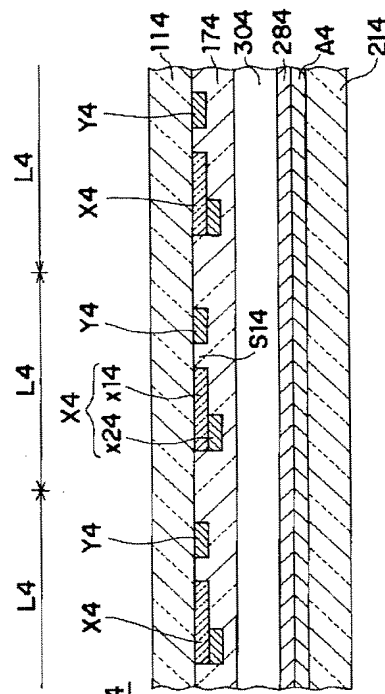
【図7】

第2のPDPのサステイン電極構造の模式図



【図9】

第4のPDPの要部断面図



【図10】

従来のPDPの内部構造を示す要部断面図

